

طرح درس معماری کامپیوتر

زمان ارائه درس: نیمسال اول تحصیلی	سال تحصیلی: ۹۷-۱۳۹۶
رشته/مقطع: کامپیوتر - کارشناسی	دانشکده: مهندسی برق و کامپیوتر
نام مدرس: دکتر مجتبی ولی نناج	نام درس: معماری کامپیوتر
تعداد واحد: ۳	نوع درس: نظری

منبع اصلی:

"Computer Organization and Design, The Hardware/Software Interface"
David A. Patterson, John L. Hennessy, Morgan Kaufmann Publishers

هدف کلی درس: آشنایی با معماری و نحوه طراحی پردازنده‌ها به همراه یک زبان توصیف سخت‌افزار، طراحی واحدهای لازم برای انجام محاسبات کامپیوتری، سلسله‌مراتب حافظه و اجزاء جانبی پردازنده‌ها

نحوه ارزش‌یابی:

تکالیف دستی و کامپیوتری: ۴ نمره

میان‌ترم: ۷ نمره

پایان‌ترم: ۱۰ نمره

مجموع: ۲۱ نمره

عنوان مطالب برای تدریس	شماره هفته
<p>مروری بر سیستم‌های نمایش اعداد نمایش اعداد بدون علامت، سیستم‌های نمایش اعداد علامت‌دار و محدوده نمایش</p> <p>محاسبات کامپیوتری طراحی جمع‌کننده‌ها: طراحی Full Adder، Ripple Carry Adder، محاسبه تأخیر جمع‌کننده‌ها طراحی Carry Look-Ahead Adder (CLA) ۴ بیتی، Cascade کردن CLA های ۴ بیتی طراحی BCD Adder (Binary Coded Decimal)</p>	۱

<p>طراحی ضرب کننده‌ها: روشهای ضرب اعداد بدون علامت ضرب کننده آرایه‌ای یا موازی در دو طرح متفاوت، محاسبه تأخیر ضرب کننده سری در دو طرح متفاوت ضرب اعداد علامت‌دار، روش Booth's</p>	<p>۲</p>
<p>طراحی تقسیم کننده‌ها نمایش اعداد علمی، نمایش اعداد اعشاری (ممیز-شناور یا floating-point) طبق استاندارد IEEE 754 طرز نمایش در ۳۲ بیت یا دقت ساده (Single Precision) طرز نمایش در ۶۴ بیت یا دقت مضاعف (Double Precision) محدوده نمایش، تبدیل اعداد به فرمت استاندارد و بالعکس محاسبات اعداد ممیز-شناور</p> <p>زبان توصیف سخت‌افزار Verilog سطوح توصیف سخت‌افزار، روشهای طراحی همروندی (Concurrency) و زمانبندی (Timing) در سخت‌افزار نمایش اعداد، آرایه‌ها و سیگنال‌ها در Verilog، انواع پورتها و گیتها نوشتن اولین کد نمونه: طراحی یک Half Adder (HA)</p>	<p>۳</p>
<p>توصیف در سطح گیت، طرز نوشتن test bench توصیف در سطح dataflow، معرفی عملگرهای Verilog توصیف در سطح رفتاری (behavioral)، معرفی ساختارهای رفتاری در Verilog</p>	<p>۴</p>
<p>توصیف مدارهای ترکیبی و ترتیبی در سطح رفتاری، توصیف ماشین‌های حالت آموزش نرم‌افزار Modelsim و نحوه اجرا و آزمون چند برنامه نوشته شده</p> <p>طراحی مجموعه دستورالعمل معرفی مسیر داده (datapath) و کنترلر معرفی پردازنده MIPS، ساختار حافظه و تقسیم‌بندی دستورالعمل‌های آن</p>	<p>۵</p>

<p>معرفی دستوره‌های اسمبلی MIPS، تبدیل کدهای سطح بالا به کدهای اسمبلی MIPS، مدهای آدرس دهی انواع گذرگاه (Bus)</p> <p>۶</p> <p>طراحی پردازنده MIPS: مسیره داده و کنترلر طراحی مسیره داده به روش Single Cycle: طراحی یک مسیره داده ساده، بررسی دستوره‌های MIPS و تعیین روال اجرای آنها، معرفی عناصر لازم برای طراحی</p>	
<p>طراحی مراحل زیر: خواندن دستور از حافظه، خواندن عملوندها، اجرای دستوره‌های R-Type و ارجاع به حافظه، ادغام مراحل، طراحی مسیره داده برای دستوره‌های پرش شرطی، غیر شرطی و دستور addi، ادغام آنها با مراحل قبلی</p> <p>۷</p> <p>طراحی واحد کنترل برای طرح Single Cycle پردازنده MIPS</p> <p>ارزیابی کارآیی پردازنده‌ها تعاریف</p>	
<p>فرمول‌های محاسبه کارآیی، کلاس دستوره‌ها محاسبه کارآیی پردازنده MIPS قانون Amdahl</p> <p>۸</p>	
<p>طراحی مسیره داده به روش Multi-Cycle: نیاز به طرح و ملزومات آن، معرفی ثبات‌های اضافه شونده، تعیین مراحل لازم برای اجرای هر دستور</p> <p>۹</p>	
<p>محاسبه کارآیی طرح Multi-Cycle طراحی واحد کنترل به دو روش Hard wired و Microprogramming مدیریت اختلال (Exception) در پردازنده MIPS</p> <p>۱۰</p>	

<p>حافظه دوسطحی یا Nano-Memory</p> <p>معرفی پروژه و کدهای کمکی شامل حافظه (RAM)، File Register، ALU و واحد کنترل</p> <p>۱۱</p> <p>استفاده از ساختار پایپ لاین (Pipeline) در پردازنده MIPS</p> <p>مفهوم پایپ لاین و اثر آن بر روی توان عملیاتی (Throughput)، محاسبه تسریع</p>	
<p>ویژگی‌های پردازنده‌های RISC</p> <p>انواع مخاطره (Hazard) در ساختار پایپ لاین، تعیین stall های لازم</p> <p>روش forwarding برای کاهش stall ها، روش نرم‌افزاری و جابه‌جایی کدها برای کاهش stall ها</p> <p>تعیین مراحل پایپ لاین و ثبات‌های میانی لازم، اصلاح File Register</p> <p>طراحی واحد کنترل</p> <p>۱۲</p>	
<p>تشخیص نیاز به forwarding، نشان دادن مسیرهای forward کردن داده‌ها در مراحل اجرای چند دستور وابسته به هم، اعمال روش forwarding در مسیره داده</p> <p>روشهای افزایش کارایی ساختار پایپ لاین</p> <p>۱۳</p> <p>سلسله‌مراتب حافظه</p> <p>معرفی انواع حافظه‌ها از نظر سرعت و کاربرد</p> <p>حافظه cache:</p> <p>معرفی اصطلاحات، ساختار یا روشهای قراردعی بلوک‌های حافظه در cache</p> <p>(۱) روش Direct Mapped</p>	
<p>روش یافتن تعداد بیت‌های index و اندازه واقعی cache</p> <p>ارزیابی کارایی cache</p> <p>روشهای به‌روز کردن تغییرات رخ داده در بلوک‌های cache</p> <p>ادامه ساختار cache:</p> <p>(۲) روش Fully Associative</p> <p>(۳) روش Set Associative</p> <p>روش جایگزینی LRU (Lest Recently Used)</p> <p>مثال عددی برای تعیین عملکرد ساختارهای مختلف cache</p> <p>۱۴</p>	
<p>حافظه مجازی: معرفی، ساختار و عملکرد</p> <p>دستگاه‌های ورودی/خروجی (I/O)، محاسبه زمان دسترسی به داده‌ها در دیسک سخت</p> <p>گذرگاه‌های سنکرون و آسنکرون، Handshaking، داوری گذرگاه، روشهای سرکشی (Polling) و وقفه (Interrupt)</p> <p>عملکرد DMA (Direct Memory Access)</p> <p>۱۵</p>	